

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 3 月 13 日 (13.03.2003)

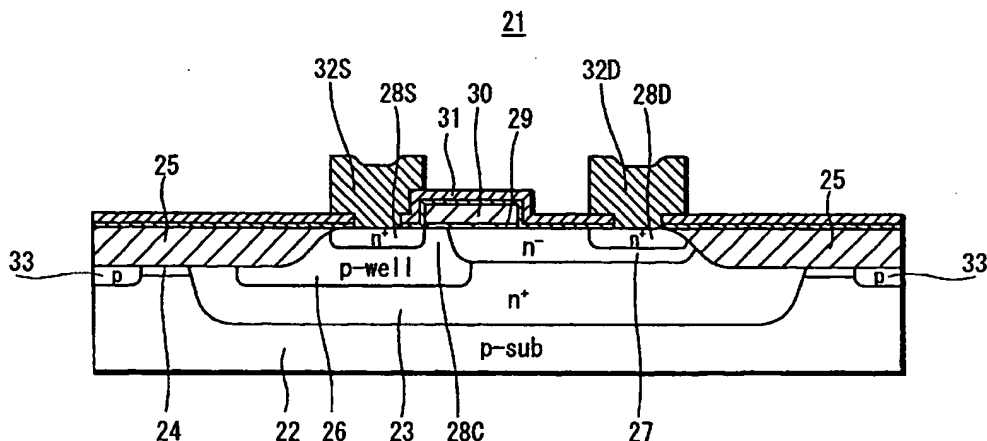
PCT

(10) 国際公開番号
WO 03/021685 A1

- (51) 国際特許分類: H01L 29/78, 21/336 (MORI,Hideki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/05232
- (22) 国際出願日: 2002 年 5 月 29 日 (29.05.2002) (74) 代理人: 松隈 秀盛 (MATSUKUMA,Hidekori); 〒160-0023 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-262063 2001 年 8 月 30 日 (30.08.2001) JP (81) 指定国 (国内): CN, JP, KR, US.
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (72) 発明者; および 添付公開書類:
(75) 発明者/出願人 (米国についてのみ): 森 日出樹 — 国際調査報告書
— 補正書・説明書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device having an MOS transistor of high withstand voltage and its production method are disclosed. The semiconductor device includes an MOS transistor having a first conductive semiconductor region where a second conductive source region is formed, which is connected to a second conductive drain region. An offset drain region having a lower concentration of impurities than the drain region is formed. The offset drain region consists of a portion not stacked on the first conductive semiconductor region and a portion partially stacked on the surface of the first conductive semiconductor region. A gate electrode is formed via a gate insulation film on a surface striding over a channel region between the source region and the offset drain region and a part of the offset drain region. Thus, it is possible to obtain an offset drain type MOS transistor having a stable threshold voltage V_{th} and a low ON resistance.

[続葉有]



(57) 要約:

本発明は、高耐圧MOSトランジスタを有する半導体装置及びその製造方法に関する。本発明の半導体装置は、第1導電型半導体領域に第2導電型のソース領域が形成され、第2導電型のドレイン領域に接続され、ドレイン領域の不純物濃度よりも低濃度のオフセットドレイン領域が形成され、オフセットドレイン領域は、第1導電型半導体領域に重ならない部分と第1導電型半導体領域の表面の一部に重なる部分とからなり、ソース領域及びオフセットドレイン領域間のチャネル領域からオフセットドレイン領域の一部に跨がる表面にゲート絶縁膜を介してゲート電極が形成されて成るMOSトランジスタを有する。

これにより、安定したスレッシュホールド電圧 V_{th} 及び低オン抵抗を有するオフセットドレイン型のMOSトランジスタが得られる。

明 細 書

半導体装置及びその製造方法

技術分野

5 本発明は、高耐圧MOSトランジスタを有する半導体装置及びその製造方法に関する。より詳しくはオフセットドレイン構造の高耐圧MOSトランジスタを有する半導体装置及びその製造方法に関する。

背景技術

10 近年、パーソナルコンピュータ、家庭用テレビジョン受像機の大型化に伴い、ディスプレイ市場が急速に拡大してきている。また、現在ディスプレイ分野においては、高精細、高輝度、広視野角、高コントラスト等優れた視認性として陰極線管が最も一般的である。一方、大型化に伴う占有面積の増加が注目され、液晶ディスプレイやプロジェクターディスプレイに加え、有機エレクトロルミネッセンスディスプレイ等の薄型化が可能なフラットパネルディスプレイが陰極線管に代わる次世代ディスプレイとして期待されている。こうした中、半導体分野においても高耐圧駆動用IC、例えば高耐圧ディスプレイドライバ用ICを形成できる高耐圧プロセスが要求されている。

20 例えば、従来構造のMOSトランジスタは、図示せざるも、バックゲート領域となる第1導電型の半導体ウェル領域に第2導電型のソース領域及びドレイン領域を形成し、ソース領域及びドレイン領域間の半導体ウェル領域表面にゲート絶縁膜を介してゲート電極を形成して、いわゆる対称形に構成される。このようなMOSトランジスタでは、ゲート長を短くする程、チャネル領域の抵抗成分が小さくなり動作スピードの速いMOSトランジスタとなる。しかし、このような構造のMOSトランジスタにおいては

、動作スピードを上げる為にゲート長を短しようとする、ドレイン電圧を上げて行った場合、ドレイン領域からの空乏層がソース領域に到達しブレークダウンを起こしてしまうので、耐圧がとれない。

5 そこで、高耐圧MOSトランジスタとして、ソースドレイン間耐圧を高めるようにしたオフセットドレイン型の横方向動作MOSトランジスタ、いわゆるLD（ラテラル・ディフューズド）MOSトランジスタと呼ばれるものが開発されている。図8は、オフセットドレイン型の高耐圧MOSトランジスタの一例を示す。

10 本例はnチャネルMOSトランジスタに適用した場合である。この高耐圧MOSトランジスタ18は、バックゲート領域となるp型の半導体ウェル領域6内に低濃度の n^- 半導体領域によるオフセットドレイン領域20を作り込む構造である。即ち、第1導電型、例えばp型のシリコン半導体基板2上に、第2導電型である
15 n型の埋込み層4を介してn型エピタキシャル層5を成長した後、素子分離領域、例えば選択酸化（いわゆるLOCOS）によるフィールド絶縁層3で分離した素子形成領域が形成される。この素子形成領域内にn型埋込み層4に接するように、表面に臨んでp型半導体ウェル領域6が形成され、このp型半導体ウェル領域
20 6内にドレイン領域8Dの不純物濃度よりも低い不純物濃度の n^- 半導体領域、いわゆるオフセットドレイン領域20が形成される。そして、p型半導体ウェル領域6内に高濃度の n^+ ソース領域8Sが形成されると共に、オフセットドレイン領域20内にゲートより離れて高濃度の n^+ ドレイン領域8Dが形成され、ソース領域8Sとオフセットドレイン領域20間のp型半導体ウェル領域6によるチャンネル領域8Cの表面にゲート絶縁膜9を介してゲート電極10が形成される。ソース領域8S及びドレイン領域
25 8Dは、それぞれソース電極11S及びドレイン電極11Dが接

続される。12は、 SiO_2 等による絶縁膜である。このようにして、高耐圧MOSトランジスタ18が構成される。このオフセットドレイン型の高耐圧MOSトランジスタ18では、ドレイン電圧の印加時に発生する空乏層を低濃度の n^- 半導体領域によるオフセットドレイン領域20側に広げることで、電界を緩和して高耐圧化を図っている。図8の高耐圧MOSトランジスタ18においては、オフセットドレイン領域20を形成するための別工程を新たに追加する必要がある。

一方、オフセットドレイン型の高耐圧MOSトランジスタをCMOSトランジスタに適用した場合に、工程を追加せずに既存の工程で作製できる構造のオフセットドレイン型の高耐圧MOSトランジスタが提案されている。図7Aは、CMOSトランジスタの既存の工程で作製できるオフセットドレイン型の高耐圧MOSトランジスタの基本構造を示す。

この高耐圧MOSトランジスタ1は、第1導電型、例えばp型のシリコン半導体基板2上に第2導電型、例えばn型の埋込み層4を介してn型エピタキシャル層5を成長した後、素子分離領域、例えば選択酸化（いわゆるLOCOS）によるフィールド絶縁層3で分離した素子形成領域内に形成される。即ち、この素子形成領域内にn型埋込み層4に接するように、表面に臨んでバックゲート領域となるp型半導体ウェル領域6と、ドレイン領域の不純物濃度よりも低濃度の n^- 半導体領域、いわゆるオフセットドレイン領域7が形成される。フィールド絶縁層3の直下のp型の素子分離層、いわゆるチャネルストップ層19は、p型ウェル領域6と同じ工程で同時に形成される。p型半導体ウェル領域7内には高濃度の n^+ ソース領域8Sが形成されると共に、オフセットドレイン領域である n^- 半導体領域7内にはゲートより離れて高濃度の n^+ ドレイン領域8Dが形成される。そして、p型半導

体ウェル領域 6 によるチャネル領域 8 C からオフセットドレイン領域である n^- 半導体領域 7 の一部にわたる表面にゲート絶縁膜 9 を介してゲート電極 10 が形成される。ソース領域 8 S 及びドレイン領域 8 D は、それぞれソース電極 11 S 及びドレイン電極 11 D が接続される。12 は、 SiO_2 等による絶縁膜である。
5 このようにして高耐圧 MOS トランジスタ 1 が構成される。

この高耐圧 MOS トランジスタ 1 では、前述と同様に、ソース電極 11 S、ドレイン電極 11 D 間に逆バイアスが印加されると、 p 型半導体ウェル領域 6 と n^- 半導体領域によるオフセットドレイン領域（ドリフト領域とも呼ばれる）7 との間の pn 接合から n^- 半導体領域 7 へ空乏層が延びる。この n^- 半導体領域 7 への空乏層の延びを利用して、電界を緩和することで MOS トランジスタ 1 の耐圧を確保している。
10

上述の高耐圧 MOS トランジスタ 1 を CMOS トランジスタに適用した場合には、一方の第 2 導電型チャネル MOS トランジスタを構成する上記オフセットドレイン領域 7 を、図示せざるも他の領域に形成される他方の第 1 導電型チャネル MOS トランジスタにおけるバックゲート領域となる半導体ウェル領域と同時に形成するようになされる。即ち、上記高耐圧 MOS トランジスタ 1 を、CMOS トランジスタを構成する一方の n チャネル MOS トランジスタとしたとき、 n^+ ドレイン領域 8 D に接続する低濃度の n^- 半導体領域によるオフセットドレイン領域 7 は、CMOS トランジスタを構成する他方の p チャネル MOS トランジスタのバックゲートとなる n 型半導体ウェル領域の形成工程で同時に形成される。これにより、既存の工程数でオフセットドレイン型の高耐圧 MOS トランジスタを有する CMOS トランジスタを製造することができる。
15
20
25

ところで、上述の高耐圧 MOS トランジスタ 1 では、素子分離

層（p型チャネルストップ層）19とp型半導体ウェル領域6の形成工程を兼用しているため、図7Bに示すようにn型エピタキシャル層5を成長し、LOCOSによるフィールド絶縁層3を形成した後、素子分離層19とp型半導体ウェル領域6を同時に形成していた。即ち、フィールド絶縁層3を形成した後、例えばポジ型のフォトリソist膜をパターンニングして、フィールド絶縁層3の一部に跨がるような開口14aと、フィールド絶縁層3上に位置した開口14bとを有するフォトリソistマスク14を形成し、このフォトリソistマスク14を介してp型不純物イオン、例えばボロン16をイオン注入してp型半導体ウェル領域6と素子分離層（p型チャネルストップ層）19を形成していた。このため、イオン注入条件は、素子分離層19の形成を考慮し、フィールド絶縁層3直下のn型エピタキシャル層5の表面（従ってその深さ位置）で不純物濃度がピーク15になるように設計される。なお、ポジ型のフォトリソistマスク14では、フォトリソist膜に対する露光時の光の干渉により、開口14a、14bの端部は図示するようにテーパ状に形成される。

上述の高耐圧MOSトランジスタ1では、フィールド絶縁層3の膜厚が例えば800nm程度であり、イオン注入エネルギーは360keV程度である。このようにイオン注入エネルギーが大きくなると、フォトリソistマスク14の膜厚も厚膜化する必要があり、例えば2.4μm程度必要になる。このようにプロセス条件の最適化をすることで、工程の兼用化が可能になる。

しかし、イオン注入の高エネルギー化に伴ってスレッショルド電圧 V_{th} が設計値より大きくなったり、ばらついたりする重要な問題があった。即ち、図7Bに示すようにイオン注入エネルギーが大きいと、素子形成領域側では、フォトリソistマスク14の開口端部（テーパ状端部）において不純物イオン16がフォ

トレジストマスク 14 を突き抜け、フォトレジストマスク 14 の
テーパー角度に沿って不純物濃度のピーク 15 が n 型エピタキシ
5 ャル層 5 表面付近へ移動し、スレッシュOLD 電圧 V_{th} に重大な
影響を及ぼす高濃度不純物領域 17 (図 7 A 参照) が形成されて
しまう。

発明の開示

本発明は、チャネル領域の一部に高濃度不純物領域が形成され
るのを阻止し、高耐圧で安定したスレッシュOLD 電圧 V_{th} 及び
10 低オン抵抗の両立を可能にした高耐圧 MOS トランジスタを有す
る半導体装置及びその製造方法を提供するものである。

本発明に係る半導体装置は、第 1 導電型半導体領域に第 2 導電
型のソース領域が形成され、第 2 導電型のドレイン領域に電氣的
に接続され該ドレイン領域の不純物濃度よりも低い不純物濃度を
15 有したオフセットドレイン領域が形成され、このオフセットドレ
イン領域が第 1 導電型半導体領域に重ならない部分と第 1 導電型
半導体領域の表面の一部に重なる部分とからなり、ソース領域及
びオフセットドレイン領域間のチャネル領域からオフセットドレ
イン領域の一部に跨がる表面にゲート絶縁膜を介してゲート電極
20 が形成されて成る MOS トランジスタを有して構成する。

オフセットドレイン領域の第 1 導電型半導体領域の表面の一部
に重なる部分は、第 1 導電型不純物導入領域を第 2 導電型不純物
で打ち消した領域で形成される。このため、例えば、オフセット
ドレイン領域としては、その第 1 導電型半導体領域に重ならない
25 部分と第 1 導電型半導体領域の表面の一部に重なる部分とを、共
に低濃度の第 2 導電型領域で形成した構成とすることができる。
また、オフセットドレイン領域としては、その第 1 導電型半導体
領域と重ならない部分を低濃度の第 2 導電型領域で形成し、その

第1導電型半導体領域の表面の一部に重なる部分を第1導電型半導体領域の不純物濃度よりも低い不純物濃度の第1導電型領域で形成した構成とすることもできる。

5 ソース領域とオフセットドレイン領域間のチャンネル領域、すなわち第1導電型半導体領域の表面のチャンネル領域は、全域が均一な濃度で形成される。

10 上記MOSトランジスタでは、MOSトランジスタを分離する分離領域の直下に、第1導電型半導体領域と同時に形成された第1導電型の素子分離層（いわゆるチャンネルストップ層）を有する。この場合、分離領域を選択酸化によるフィールド絶縁層で形成し、フィールド絶縁層直下の半導体表面が不純物濃度ピークとなるイオン注入により、第1導電型半導体領域及び第1導電型の素子分離層を形成することができる。

15 本発明に係る半導体装置は、CMOSトランジスタを有する半導体装置に適用した場合、上記構成のオフセットドレイン型のMOSトランジスタをCMOSトランジスタを構成する一方の第2導電型チャンネルMOSトランジスタとして形成し、この第2導電型チャンネルMOSトランジスタの第1導電型半導体領域をバックゲート領域となし、そのオフセットドレイン領域を、CMOSトランジスタを構成する他方の第1導電型チャンネルMOSトランジスタのバックゲート領域と同時に形成して構成する。

20 本発明に係る半導体装置の製造方法は、半導体基体に素子形成領域を分離する分離領域を形成する工程と、素子形成領域に第1導電型半導体領域を形成する工程と、第1導電型半導体領域に重ならない部分と第1導電型半導体領域の表面の一部に重なる部分とからなり、ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域を形成する工程と、第1導電型半導体領域及びオフセットドレイン領域に夫々第2導電型のソース

領域及びドレイン領域を形成する工程と、ソース領域及びオフセットドレイン領域間の第1導電型半導体領域で構成されるチャンネル領域からオフセットドレイン領域にわたる表面にゲート絶縁膜を介してゲート電極を形成する工程を有する。

- 5 本発明に係る半導体装置の製造方法は、第1導電型半導体基板に第2導電型埋込み領域を形成し、第2導電型エピタキシャル層を形成した後、素子形成領域を分離する選択酸化によるフィールド絶縁層を形成する工程と、素子形成領域に第1導電型半導体領域を形成する工程と、第1導電型半導体領域に重ならない部分と
- 10 第1導電型半導体領域の表面の一部に重なる部分とにわたって第2導電型不純物を導入して、ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域を形成する工程と、第1導電型半導体領域及びオフセットドレイン領域に夫々第2導電型のソース領域及びドレイン領域を形成する工程と、ソース
- 15 領域及びオフセットドレイン領域間の第1導電型半導体領域で構成されるチャンネル領域からオフセットドレイン領域にわたる表面にゲート絶縁膜を介してゲート電極を形成する工程を有する。

- オフセットドレイン領域は、その第1導電型半導体領域に重ならない部分と第1導電型半導体領域の表面の一部に重なる部分を
- 20 、共に低濃度の第2導電型領域となるように形成する。また、オフセットドレイン領域は、その第1導電型半導体領域に重ならない部分が低濃度の第2導電型領域となるように形成すると共に、その第1導電型半導体領域の表面の一部に重なる部分が第1導電型半導体領域の不純物濃度よりも低い不純物濃度を有する第1導
- 25 電型領域となるように形成してもよい。

 本発明では、第1導電型不純物をイオン注入した後、第2導電型不純物をイオン注入し、同時に活性化の熱処理を行って、第1導電型半導体領域及びオフセットドレイン領域を形成することが

できる。このとき、第1導電型不純物をイオン注入した後、表面側の一部に発生する不純物濃度ピーク部分を打ち消すに十分なドーズ量で第2導電型不純物をイオン注入する。

第1導電型半導体領域、オフセットドレイン領域、ソース領域及びドレイン領域の形成において、例えば、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第1導電型不純物をイオン注入し、ドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して、第1導電型半導体領域及びオフセットドレイン領域を形成し、ドーズ量 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して第2導電型のソース領域及びドレイン領域を形成することができる。

第1導電型半導体領域と分離領域直下の第1導電型の素子分離層とは、これ等を同時に形成する。このとき、分離領域直下の半導体表面がイオン注入時の不純物濃度ピークとなるように第1導電型不純物を導入し、第1導電型半導体領域と分離領域直下の第1導電型の素子分離層とを同時に形成する。不純物のイオン注入では、例えば、開口端部がテーパー状に形成されたポジ型レジストマスクを介して第1導電型不純物をイオン注入し、開口端部がテーパー状に形成されたポジ型レジストマスクを介して第2導電型不純物をイオン注入し、第1導電型半導体領域と分離領域直下の第1導電型の素子分離層とオフセットドレイン領域とを同時に形成する。

ソース領域及びオフセットドレイン領域間のチャネル領域、すなわち第1導電型半導体領域の表面のチャネル領域は、全域を均一な濃度で形成する。

本発明に係る半導体装置の製造方法は、CMOSトランジスタを有する半導体装置の製造に適用した場合、上記第1導電型半導体領域を、CMOSトランジスタを構成する一方の第2導電型チ

ャネルMOSトランジスタのバックゲート領域とし、上記オフセットドレイン領域を、CMOSトランジスタを構成する他方の第1導電型チャネルMOSトランジスタのバックゲート領域と同時に形成する。

5 本発明の半導体装置によれば、そのオフセットドレイン構造のMOSトランジスタにおいて、第1導電型半導体領域に重ならない部分と第1導電型半導体領域の表面の一部に重なる部分からなる低濃度のオフセットドレイン領域が形成されるので、第1導電型半導体領域のチャネル領域側の表面の上記一部に形成される高濃度不純物領域がオフセットドレイン領域で打ち消されて除去される。これによって、ソース領域とオフセットドレイン領域間の第1導電型半導体領域で形成される実質的なチャネル領域の全域が均一な低濃度で形成され、スレッシュホールド電圧 V_{th} が設計値より大きくなったり、ばらついたりすることがなく、安定したスレッシュホールド電圧 V_{th} 及び安定した低オン抵抗が得られる。従って、高耐圧で且つ安定したスレッシュホールド電圧 V_{th} 及び低オン抵抗の両立したオフセットドレイン構造のMOSトランジスタを実現することが可能になる。

20 オフセットドレイン領域の第1導電型半導体領域の表面の一部に重なる部分は、第1導電型不純物導入領域を第2導電型不純物で打ち消した領域で形成される。このため、オフセットドレイン領域が、その第1導電型半導体領域の表面の一部に重なる部分と第1導電型半導体領域に重ならない部分とを低濃度の第2導電型半導体領域にして形成されるときは、チャネル領域の全域が均一の濃度となり、設計通りの安定したスレッシュホールド電圧 V_{th} が得られる。また、オフセットドレイン領域の第1導電型半導体領域に重なる部分が第1導電型になったとしても、第1導電型半導体領域の不純物濃度より低濃度領域で形成されるので、実質的な

スレッシュヨルド電圧 V_{th} はソース領域及びオフセットドレイン領域間の濃度の高い第1導電型半導体領域、つまりチャネル領域で決められ、設計通りの安定したスレッシュヨルド電圧 V_{th} が得られる。

- 5 第1導電型半導体領域と、分離領域の直下の第1導電型の素子分離層（いわゆるチャネルストップ層）とを同時に形成するので、製造工程の簡素化が図られる。そして、分離領域を選択酸化によるフィールド絶縁層で形成し、フィールド絶縁層直下の半導体表面が不純物濃度ピークとなるイオン注入により、第1導電型半導体領域及び第1導電型の素子分離層を同時に形成する場合も、
10 上記のオフセットドレイン領域を有するので、表面側に不要な高濃度領域が形成されず、安定したスレッシュヨルド電圧 V_{th} が得られる。

- 15 本発明のMOSトランジスタをCMOSトランジスタに適用した場合には、上記構成のオフセットドレイン構造のMOSトランジスタを、CMOSトランジスタを構成する一方の第2導電型チャネルMOSトランジスタとして形成し、この第2導電型チャネルMOSトランジスタの第1導電型半導体領域をバックゲート領域となし、そのオフセットドレイン領域を、CMOSトランジスタを構成する他方の第1導電型チャネルMOSトランジスタのバックゲート領域と同時に形成する構成とすることにより、工程を追加せず、既存の工程数で高耐圧のCMOSトランジスタが得られる。
20

- 25 本発明の半導体装置の製造方法によれば、そのオフセットドレイン構造のMOSトランジスタの製造において、上述した一連の工程、特に、第1導電型半導体領域に重ならない部分と第1導電型半導体領域の表面の一部に重なる部分とからなり、ドレイン領域の不純物濃度よりも低い不純物を有するオフセットドレイン領

域を形成する工程を有するので、第1導電型半導体領域のチャンネル領域側の表面の上記一部に形成される高濃度領域がオフセットドレイン領域で打ち消されて除去され、ソース領域及びオフセットドレイン領域間の第1導電型半導体領域で形成される実質的なチャンネル領域の濃度を全域で均一にすることができる。従って、スレッシュホールド電圧 V_{th} が設計値より大きくなったり、ばらついたりせず、安定したスレッシュホールド電圧 V_{th} 及び低オン抵抗を両立したオフセットドレイン構造の高性能、高耐圧のMOSトランジスタを容易且つ信頼性良く製造することができる。

オフセットドレイン領域を、その第1導電型半導体領域に重ならない部分と第1導電型半導体領域の表面の一部に重なる部分が、共に低濃度の第2導電型半導体領域となるように形成することにより、上記の安定したスレッシュホールド電圧 V_{th} 及び低オン抵抗を有するオフセットドレイン構造のMOSトランジスタを製造することができる。また、オフセットドレイン領域を、その第1導電型半導体領域に重ならない部分が低濃度の第2導電型半導体領域となり、第1導電型半導体領域の表面の一部に重なる部分が第1導電型半導体領域の不純物濃度よりも低濃度の第1導電型半導体領域となるように形成するときも、その第1導電型半導体領域に重なる部分はオフセットドレイン領域として作用し、上記の安定したスレッシュホールド電圧 V_{th} 及び低オン抵抗を有するオフセットドレイン構造のMOSトランジスタを製造することができる。

第1導電型不純物をイオン注入した後、第2導電型不純物をイオン注入し、同時に活性化の熱処理を行って、第1導電型半導体領域とオフセットドレイン領域を同時に形成するときは、製造の簡素化が図れる。このとき、第1導電型不純物をイオン注入した後、表面側の一部に発生する不純物濃度ピークを打ち消すに充分

なドーズ量で第2導電型不純物をイオン注入することにより、上記表面側の一部に発生する第1導電型不純物の濃度ピークに対応する部分には第1導電型の高濃度領域は形成されず、全域で濃度が均一である実質的なチャンネル領域を形成することができる。

5 第1導電型半導体領域及びオフセットドレイン領域の形成において、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第1導電型不純物をイオン注入し、ドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入することにより、上述したオフセットドレイン領域と全域で均一な濃度のチャンネル領域を有する第1導電型半導体領域とを形成できる。また、ドーズ量 $1 \times 10^{15} \sim$
10 $1 \times 10^{18} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して第2導電型のソース領域及びドレイン領域を形成することにより、上記第1導電型半導体領域及びオフセットドレイン領域の形成と相俟って、上述したオフセットドレイン構造のMOSトランジスタの製造を可能にする。

15 第1導電型半導体領域と分離層直下の第1導電型の素子分離層を同時に形成するので、製造工数を減らし、製造工程の簡素化を図ることができる。分離領域直下の半導体表面がイオン注入時の不純物濃度ピークとなるように第1導電型不純物を導入して、第1導電型半導体領域と第1導電型の素子分離層を同時に形成する
20 ときも、上述のようにしてオフセットドレイン領域を形成するので、チャンネル領域側の表面に不要な高濃度領域が形成されることがない。イオン注入用のマスクとして、ポジ型のフォトリソマスクを用いるときは、開口端部がテーパ状に形成され、この
25 テーパ状の部分で第1導電型不純物の濃度ピークが表面側にくるが、上述のようにしてオフセットドレイン領域を形成するので、チャンネル領域側の表面に不要な高濃度不純物領域が形成されることがない。

本発明のMOSトランジスタの製造方法をCMOSトランジスタの製造に適用した場合には、上記第1導電型半導体領域をCMOSトランジスタを構成する一方の第2導電型チャネルMOSトランジスタのバックゲート領域とし、上記オフセットドレイン領域をCMOSトランジスタを構成する他方の第1導電型チャネルMOSトランジスタのバックゲート領域と同時に形成することにより、工程を追加することなく既存の工程数で、少なくとも一方のMOSトランジスタを高耐圧で且つ安定したスレッシュOLD電圧 V_{th} 及び低オン抵抗を有するオフセットドレイン構造としてなるCMOSトランジスタを搭載した半導体装置を製造することが可能になる。

図面の簡単な説明

図1は本発明に係る半導体装置、特にその高耐圧MOSトランジスタの一実施の形態を示す構成図である。

図2A～Cは本発明に係る半導体装置、特にその高耐圧MOSトランジスタの製造方法の一実施の形態を示す製造工程図（その1）である。

図3A～Cは本発明に係る半導体装置、特にその高耐圧MOSトランジスタの製造方法の一実施の形態を示す製造工程図（その2）である。

図4A～Bは本発明に係る半導体装置、特にその高耐圧MOSトランジスタの製造方法の一実施の形態を示す製造工程図（その3）である。

図5A～Cは本発明に係る半導体装置、特にその高耐圧MOSトランジスタの製造方法の一実施の形態を示す製造工程図（その4）である。

図6A～Bは本発明に係る半導体装置、特にその高耐圧MOS

トランジスタの製造方法の一実施の形態を示す製造工程図（その 5）である。

図 7 A は従来の半導体装置、特にその高耐圧 MOS トランジスタの一例を示す構成図である。

5 図 7 B は図 7 A の製造途中の工程を示す工程図である。

図 8 は従来の半導体装置、特にその高耐圧 MOS トランジスタの他の例を示す構成図である。

発明を実施するための最良の形態

10 以下、図面を参照して本発明の実施の形態を説明する。

図 1 は、本発明に係る半導体装置、特に高性能高耐圧 MOS トランジスタの一実施の形態を示す。

本実施の形態に係る高耐圧 MOS トランジスタ 2 1 は、いわゆるオフセットドレイン構造の MOS トランジスタである。この高耐圧 MOS トランジスタ 2 1 は、第 1 導電型、例えば p 型のシリコン半導体基板 2 2 上に第 2 導電型、例えば n 型の埋込み層 2 3 を介して n 型エピタキシャル層 2 4 を成長し、素子分離領域、本例では選択酸化（LOCOS）によるフィールド絶縁層 2 5 で分離した素子形成領域に形成される。即ち、n 型埋込み層 2 3 に接するように表面に臨んで、p 型半導体ウェル領域 2 6 が形成されると共に、ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域 2 7 が形成される。このオフセットドレイン領域 2 7 は、p 型半導体ウェル領域 2 6 に重ならない部分と、p 型半導体ウェル領域 2 6 の表面の一部に重なる部分とから成る。オフセットドレイン領域 2 7 は、n 型不純物を導入して形成され、その p 型半導体ウェル領域 2 6 の表面の一部に重なる部分は p 型不純物導入領域を n 型不純物で打ち消した領域で形成される。従って、オフセットドレイン領域 2 7 は、図示のように

p 型半導体ウェル領域 2 6 に重ならない部分と p 型半導体ウェル領域 2 6 の表面の一部に重なる部分とを、共に低濃度の半導体領域、いわゆる n^- 半導体領域で形成することができる。また、オフセットドレイン領域 2 7 は、p 型半導体ウェル領域 2 3 と重ならない部分が n^- 半導体領域となり、p 型半導体ウェル領域 2 3 の表面の一部に重なる部分が p 型半導体ウェル領域 2 6 の不純物濃度より低い不純物濃度の p 型半導体領域（例えば p^{--} 領域）となるように形成することもできる。このオフセットドレイン領域 2 7 は、所謂ドリフト領域とも呼ばれる。フィールド絶縁層 2 5 の直下には p 型素子分離層（いわゆる p 型チャネルストップ層）3 3 が形成される。この p 型素子分離層 3 3 は、p 型半導体ウェル領域 2 6 の形成工程で同時に形成される。

p 型半導体ウェル領域 2 6 の表面には高濃度の n^+ ソース領域 2 8 S が形成される。また、 n^- 半導体領域によるオフセットドレイン領域 2 7 の表面には高濃度の n^+ ドレイン領域 2 8 D が形成される。そして、 n^+ ソース領域 2 8 S 端に接するように p 型半導体ウェル領域 2 6 表面のチャネル領域 2 8 C からオフセットドレイン領域 2 7 の一部に跨がる表面上にゲート絶縁膜 2 9 を介してゲート電極 3 0 が形成される。 n^+ ドレイン領域 2 8 D は、ゲート絶縁膜 2 9 及びゲート電極 3 0 の他端より離れた位置に形成される。ゲート電極 3 0 を含む全面に例えば SiO_2 膜よりなる絶縁膜 3 1 が形成され、絶縁膜 3 1 に設けたコンタクトホールを介して、それぞれソース電極 3 2 S 及びドレイン電極 3 2 D が n^+ ソース領域 2 8 S 及び n^+ ドレイン領域 2 8 D に接続される。なお、フィールド絶縁層 2 5 とその直下の p 型チャネルストップ層 3 3 で、実質的な素子分離領域が形成される。このようにして本実施の形態に係る高耐圧 MOS トランジスタ 2 1 が構成される。

この高耐圧MOSトランジスタ21をCMOSトランジスタに適用した場合には、一方の第2導電型チャネルMOSトランジスタを構成する上記オフセットドレイン領域27が、図示せざるも他の領域に形成される第1導電型チャネルMOSトランジスタにおけるバックゲート領域となる第2導電型の半導体ウェル領域と同時に形成される。即ち、高耐圧MOSトランジスタ21を、CMOSトランジスタを構成する一方のnチャネルMOSトランジスタとしたとき、 n^+ ドレイン領域28Dに電氣的に接続する低濃度の n^- 半導体領域によるオフセットドレイン領域27は、CMOSトランジスタを構成する他方のpチャネルMOSトランジスタのバックゲート領域となるn型半導体ウェル領域の形成工程で同時に形成される。

図2～図6は、上述の高耐圧MOSトランジスタ21の製造方法の一実施の形態を示す。

先ず、図2Aに示すように、第1導電型、例えばp型のシリコン半導体基板22を用意し、この半導体基板22の一主面に熱酸化による所要の厚さの絶縁膜41を形成する。本例では900℃～1000℃程度のスチーム酸化により厚さ30nmから50nm程度の SiO_2 膜41を形成する。次いで、フォトリソグラフィ技術及びイオンインプランテーション技術を用いて、素子形成領域に対応する部分に開口42aを有するフォトレジストマスク42を形成すると共に、このフォトレジストマスク42を介して第2導電型不純物、即ちn型不純物40をイオン注入してp型半導体基板22にn型イオン注入領域23Aを形成する。

本例ではドーズ量 $1 \times 10^{13} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 程度のリン(P)40をイオン注入する。次いで、図2Bに示すようにフォトレジストマスク42を除去した後、950℃～1000℃程度の熱処理を行い、n型埋込み層23を形成する。

次に、図 2 C に示すように、熱酸化の絶縁膜 4 1 を除去し、半
導体基板 2 2 上に所定の抵抗率、本例では $5 \sim 10 \Omega \cdot \text{cm}$ の n
型エピタキシャル層 2 4 を成長する。この半導体基板 2 2、n 型
埋込み層 2 3 及び n 型エピタキシャル層 2 4 で、半導体基体が構
成される。

次に、図 3 A に示すように、n 型エピタキシャル層 2 4 の表面
に熱酸化による酸化シリコン膜 4 3 を形成する。本例では 900
 $^{\circ}\text{C} \sim 950^{\circ}\text{C}$ 程度のスチーム酸化により膜厚 $60 \text{ nm} \sim 100 \text{ nm}$
の SiO_2 膜 4 3 を形成する。

続いて、 SiO_2 膜 4 3 上に減圧 CVD (化学気相成長) 法に
より窒化シリコン膜 4 4 を形成する。本例では膜厚 $80 \text{ nm} \sim 1$
 00 nm 程度の Si_3N_4 膜 4 4 を形成する。

次に、図 3 B に示すように、目的の高耐圧 MOS トランジスタ
を形成すべき素子形成領域 (いわゆるアクティブ領域) に対応す
る領域上にフォトリソグラフィ技術を用いてフォトレジストマス
ク 4 5 を形成する。次いで、例えば RIE (反応性イオンエッチ
ング) などの異方性エッチング技術を用いて Si_3N_4 膜 4 4、
 SiO_2 膜 4 3 及び n 型エピタキシャル層 2 4 の一部表面を選択
的にエッチング除去する。

次に、フォトレジストマスク 4 5 を除去した後、図 3 C に示す
ように、選択酸化 (LOCOS) 処理してフィールド絶縁層 2 5
を形成する。本例では $950^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 程度のスチーム酸化
で酸化膜厚が $600 \text{ nm} \sim 900 \text{ nm}$ 程度の酸化シリコン層 2 5
を形成する。このとき、予め選択酸化される領域のエピタキシャ
ル層 2 4 の表面が選択除去されているので、フィールド絶縁層 2
4 はエピタキシャル層 2 4 と同一面となるように形成される。こ
のフィールド絶縁層 2 5 で囲まれた領域が素子形成領域 4 6 とな
る。続いて、ホットリン酸により Si_3N_4 膜 4 4 を除去する。

更に、フッ酸（HF）系薬液を用いてn型エピタキシャル層24表面のSiO₂膜43を除去した後、再び熱酸化膜、本例では950℃～1000℃のスチーム酸化で膜厚20nm～50nm程度のSiO₂に膜47を形成する。

5 次に、図4Aに示すように、フォトリソグラフィ技術及びイオンインプランテーション技術を用いて、その後に形成されるべきフィールド絶縁層25の一部直下の半導体領域、及びアクティブ領域となるp型半導体ウェル領域に対応した領域に、p型不純物49をイオン注入する。

10 即ち、フィールド絶縁層25を形成した後に、例えばポジ型のフォトレジスト膜をパターンニングして、素子形成領域46の一半部から一方の側のフィールド絶縁層25の一部に跨がるような開口48aと、フィールド絶縁層25上に位置した開口48bとを有するフォトレジストマスク48を形成する。フォトレジストマスク48がポジ型のフォトレジストマスクであるので、その開口48a、48bの開口端部は図示するようにテーパ状に形成される。

15 続いて、このフォトレジストマスク48を介して、p型不純物49をイオン注入する。本例ではドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度のボロン（B）49をイオン注入する。ボロン49のイオン注入では、フィールド絶縁層25直下のn型エピタキシャル層表面、アクティブ領域ではn⁺埋込み層23の表面（従ってその深さ位置）でボロン濃度がピーク50になるように行われる。従って、フォトレジストマスク48の開口端部（テーパ状端部）直下のアクティブ領域では、ボロンイオンがフォトレジストマスク48を突き抜け、フォトレジストマスク48のテーパ角度に沿ってボロン濃度のピーク50がn型エピタキシャル層24の表面付近へ移動される。

20

25

次に、フォトレジストマスク 48 を除去し、図 4 B に示すように、再度フォトリソグラフィ技術及びイオンインプランテーション技術を用いて、その後に形成されるべき低濃度のオフセットドレイン領域に対応した領域に、n 型不純物 56 をイオン注入する。

即ち、例えばポジ型のフォトレジストマスク 51 を形成し、このフォトレジストマスク 51 を介して n 型不純物をイオン注入する。この n 型不純物のイオン注入は、先にイオン注入した p 型不純物の表面側の濃度ピーク 50 部分を打ち消すように p 型不純物イオン注入領域へ延長して行われる。本例ではドーズ量が $5 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度のリン (P) をイオン注入する。57 はリン濃度ピーク部分を示す。

次に、図 5 A に示すように、フォトレジストマスク 51 を除去した後、熱処理を行い、本例では $1100^\circ\text{C} \sim 1200^\circ\text{C}$ 程度の熱処理を行い、フィールド絶縁層 25 の一部直下に素子分離層となる p 型チャネルストップ層 33 を形成すると共に、アクティブ領域に p 型半導体ウェル領域 26 とオフセットドレイン領域となる n^- 半導体領域 27 を同時に形成する。 n^- 半導体領域 27 は、n 型埋込み層 23 に達すると共に、p 型半導体ウェル領域 26 に重ならないアクティブ領域から一部が p 型半導体ウェル領域 26 の表面の一部に重なるように形成される。この n^- 半導体領域 27 が p 型半導体ウェル領域 26 の表面の一部に重なる部分は、本来 p 型半導体ウェル領域 26 表面のチャネル領域 28 C に在って p 型不純物濃度が高い部分であるが、 n^- 半導体領域 27 によりこの高濃度の部分が打ち消される。即ち、 n^- 半導体領域 27 の p 型半導体ウェル領域 26 に重なる部分では、n 型不純物のドーズ量によって n^- 領域となったり、 p^- 領域となったりする。 p^- 領域であっても p 型半導体ウェル領域 26 の不純物濃度

より低濃度であるので、この n^- 領域、 p^- 領域は実質的にオフセットドレイン領域となる。

p型半導体ウェル領域26は、n型埋込み層23に達し且つ表面のチャンネル領域28Cの全域が均一の低濃度となるように形成される。表面には熱酸化による SiO_2 膜52が形成される。

次に、フッ酸(HF)系薬液を用いて表面の SiO_2 膜52を除去し、図5Bに示すように、p型半導体ウェル領域26及び n^- 半導体領域によるオフセットドレイン領域27の表面を含む全面にゲート絶縁膜29及びゲート電極材料膜301を順次に形成する。

本例では、950℃～1000℃程度のスチーム酸化で膜厚20nm～50nm程度のゲート絶縁膜(SiO_2 膜)29を形成する。続いて、CVD法により膜厚400nm程度のn型不純物をドーピングした n^+ 多結晶シリコン膜によるゲート電極材料膜301を形成する。

次に、図5Cに示すように、フォトリソグラフィ技術及びRIE等の異方性エッチング技術を用いて、ゲート絶縁膜29及びゲート電極材料膜301を選択除去し、ゲート形成領域のみにゲート絶縁膜29及びゲート電極30を形成する。ゲート絶縁膜29及びゲート電極30は、p型半導体ウェル領域26の表面によるチャンネル領域28Cから n^- 半導体領域27の一部に跨がって形成する。

続いて、フォトレジストマスク(図示せず)を除去した後、全面に熱酸化膜54を形成する。本例では800℃～900℃程度のスチーム酸化で膜厚10nm～20nm程度の酸化シリコン膜(SiO_2 膜)54を形成する。

次に、フォトリソグラフィ技術及びイオンインプランテーション技術を用いて、バックゲート領域となるp型半導体ウェル領域

26の電位取出し領域（いわゆるバックゲート取出し領域）にp型不純物をイオン注入する（図示せず）。本例ではドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 程度のボロン（B）をイオン注入する。

更に、上記のフォトリソリソグラフィ技術及びイオンインプランテーション技術を用いて、p型半導体ウェル領域26のソース形成領域とn⁻半導体領域27のドレイン形成領域に、夫々n型不純物をイオン注入する（図示せず）。本例ではドーズ量 $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 程度の砒素（As）をイオン注入する。

次に、上記のフォトリソリソグラフィ技術（図示せず）を除去した後、図6Aに示すように、CVD法により絶縁膜、本例では膜厚600nm程度のSiO₂膜55を形成し、更に所定温度、本例では850℃～950℃程度の熱処理を行い、p型半導体ウェル領域26内のn⁺ソース領域28S及びn⁻半導体領域27内のn⁺ドレイン領域28Dを形成する。同時にp型半導体ウェル領域26内にp⁺ウェル領域取出し領域（図示せず）を形成する。SiO₂膜54及びSiO₂膜55で絶縁膜31が形成される。

次に、図6Bに示すように、フォトリソグラフィ技術及びRIE等の異方性エッチング技術を用いて、ソース、ドレイン、ゲートのそれぞれの取出し領域に対応した部分の絶縁膜31に選択的にコンタクト孔を形成し、これらのコンタクト孔を介してソース領域28Sに接続するソース電極32S、ドレイン領域28Dに接続するドレイン電極32D、p型半導体ウェル領域26に接続するp⁺ウェル取出し電極（図示せず）、ゲート電極30に接続するゲート取出し電極（図示せず）を形成する。ソース電極32S、ドレイン電極32D、ウェル取出し電極及びゲート取出し電極は、例えばAl膜、又は下からTi、TiON、Ti、Al-Siと順次積層したTi/TiON/Ti/Al-Si積層膜等

のバリアメタルを含む金属膜、等を蒸着し、フォトリソグラフィ技術及びR I E技術によってパターンニングして形成することができる。

このようにして目的の高性能高耐圧M O Sトランジスタ2 1を有する半導体装置を得る。

上述の高耐圧M O Sトランジスタ2 1を有する半導体装置の製造方法を、C M O Sトランジスタを有する半導体装置の製造に適用した場合には、上記第1導電型半導体領域2 6を、C M O Sトランジスタを構成する一方の第2導電型チャネルM O Sトランジスタのバックゲート領域とし、上記オフセットドレイン領域2 7を、C M O Sトランジスタを構成する他方の第1導電型チャネルM O Sトランジスタのバックゲート領域と同時に形成する。即ち、高耐圧M O Sトランジスタ2 1を、C M O Sトランジスタを構成する一方のnチャネルM O Sトランジスタとしたとき、図4 Bに示すオフセットドレイン領域2 7を形成するためのn型不純物5 6のイオン注入工程では同時に、他方のpチャネルM O Sトランジスタのバックゲート領域となるn型半導体ウェル領域（図示せず）を形成すべき領域にも同じn型不純物5 6をイオン注入する。次いで、図5 Aの熱処理工程で、nチャネルM O Sトランジスタ2 1のp型半導体ウェル領域（バックゲート領域）2 6及びn⁻半導体領域によるオフセットドレイン領域2 7と、pチャネルM O Sトランジスタのn型半導体ウェル領域（バックゲート領域：図示せず）とを同時に形成するようになす。以後、既存の工程を経てC M O Sトランジスタを有する半導体装置を製造する。

本実施の形態に係るオフセットドレイン構造を有する高耐圧M O Sトランジスタ2 1によれば、p型半導体ウェル領域2 6に重ならない部分とp型半導体ウェル領域2 6の表面の一部に重なる部分とからなる低濃度のオフセットドレイン領域（n⁻半導体領

域) 27が形成されるので、ゲート絶縁膜29直下のp型半導体ウェル領域26の表面の一部、したがってチャネル領域28Cの一部に形成される高濃度不純物領域が、オフセットドレイン領域27のp型半導体ウェル領域26に重なる部分で打ち消されて除去される。これによって、ソース領域28Sとオフセットドレイン領域27との間のp型半導体ウェル領域によるチャネル領域28Cの全域が均一な低濃度で形成される。従って、スレッシュホールド電圧 V_{th} が設計値より大きくなったり、ばらつくことがなく安定したスレッシュホールド電圧 V_{th} が得られると共に、安定した低オン抵抗が得られる。つまり、高耐圧と、安定したスレッシュホールド電圧 V_{th} 及び低オン抵抗とを両立した、高性能高耐圧MOSトランジスタを実現することができる。

MOSトランジスタ21をCMOSトランジスタに適用した場合には、このオフセットドレイン構造のMOSトランジスタ21を、CMOSトランジスタを構成する一方のnチャネルMOSトランジスタとして形成し、このnチャネルMOSトランジスタ21のオフセットドレイン領域(n^- 半導体領域)27を、CMOSトランジスタを構成する他方のpチャネルMOSトランジスタのバックゲート領域となるn型半導体ウェル領域と同時に形成する構成とすることにより、工程を追加せず、既存の工程数で高耐圧のCMOSトランジスタを得ることができる。

また、本実施の形態に係る高耐圧MOSトランジスタの製造方法によれば、前述した一連の工程、特にバックゲート領域となるp型半導体ウェル領域26に重ならない部分とp型半導体ウェル領域26の表面の一部に重なる部分とからなる低濃度のオフセットドレイン領域27を形成する工程を有するので、p型半導体ウェル領域26のチャネル領域側の表面の上記一部に形成される高濃度領域がオフセットドレイン領域27で打ち消されて除去され

、ソース領域 28 S 及びオフセットドレイン領域 27 間の p 型半
導体ウェル領域 26 で形成されるチャネル領域 28 C の濃度を全
域で均一にすることができる。従って、高耐圧と、スレッシュ
ド電圧 V_{th} 及び低オン抵抗とを両立した高性能、高耐圧の MO
S トランジスタ 21 を容易且つ安定して製造することができる。

上記高耐圧 MOS トランジスタ 21 の製造方法を CMOS トラ
ンジスタの製造に適用した場合には、上記 p 型半導体ウェル領域
21 を CMOS トランジスタを構成する一方の n チャネル MOS
トランジスタのバックゲート領域とし、上記オフセットドレイン
領域 27 を CMOS トランジスタを構成する他方の p チャネル M
OS トランジスタのバックゲート領域となる n 型半導体ウェル領
域と同時に形成することにより、工程を追加することなく、既存
の工程数で、少なくとも一方の n チャネル MOS トランジスタを
安定したスレッシュド電圧 V_{th} 及び低オン抵抗を有するオフ
セットドレイン構造として成る CMOS トランジスタを搭載した
半導体装置を製造することができる。

請求の範囲

1. 第1導電型半導体領域に第2導電型のソース領域が形成され、第2導電型のドレイン領域に電氣的に接続され、該ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットド
5 レイン領域が形成され、前記オフセットドレイン領域は、前記第1導電型半導体領域に重ならない部分と、前記第1導電型半導体領域の表面の一部に重なる部分とからなり、前記ソース領域及び前記オフセットドレイン領域間のチャンネル領域から前記オフセットドレイン領域の一部に跨がる表面にゲート絶縁膜を
10 介してゲート電極が形成されて成るMOSトランジスタを有してなることを特徴とする半導体装置。
2. 前記オフセットドレイン領域の前記第1導電型半導体領域の表面の一部に重なる部分が、第1導電型不純物導入領域を第2導電型不純物で打ち消した領域で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。
15
3. 前記オフセットドレイン領域の前記第1導電型半導体領域に重ならない部分と前記第1導電型半導体領域の表面の一部に重なる部分が、共に第2導電型領域で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。
- 20 4. 前記オフセットドレイン領域の前記第1導電型半導体領域と重ならない部分が第2導電型領域で形成され、前記オフセットドレイン領域の第1導電型半導体領域の表面の一部に重なる部分が前記第1導電型半導体領域の不純物濃度よりも低い不純物濃度の第1導電型領域で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。
25
5. 前記MOSトランジスタがCMOSトランジスタを構成する一方の第2導電型チャンネルMOSトランジスタとして形成され、前記第1導電型半導体領域が前記第2導電型チャンネルMOS

トランジスタのバックゲート領域となり、前記オフセットドレイン領域が、前記CMOSトランジスタを構成する第1導電型チャンネルMOSトランジスタのバックゲート領域と同時に形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。

5

6. 前記MOSトランジスタを分離する分離領域の直下に、前記第1導電型半導体領域と同時に形成された第1導電型の素子分離層を有して成ることを特徴とする請求の範囲第1項記載の半導体装置。

10

7. 前記分離領域が選択酸化によるフィールド絶縁層で形成され、前記フィールド絶縁層直下の半導体表面が不純物濃度ピークとなるイオン注入により、前記第1導電型半導体領域及び前記第1導電型の素子分離層が形成されて成ることを特徴とする請求の範囲第6項記載の半導体装置。

15

8. 前記第1導電型半導体領域の表面のチャンネル領域の全域が均一な濃度で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。

20

9. 半導体基体に素子形成領域を分離する分離領域を形成する工程と、前記素子形成領域に第1導電型半導体領域を形成する工程と、前記第1導電型半導体領域に重ならない部分と前記第1導電型半導体領域の表面の一部に重なる部分とからなり、ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域を形成する工程と、前記第1導電型半導体領域及び前記オフセットドレイン領域に夫々第2導電型のソース領域及びドレイン領域を形成する工程と、前記ソース領域及び前記オフセットドレイン領域間の前記第1導電型半導体領域で構成されるチャンネル領域から前記オフセットドレイン領域にわたる表面にゲート絶縁膜を介してゲート電極を形成する工程を有

25

することを特徴とする半導体装置の製造方法。

10. 第1導電型半導体基板に第2導電型埋込み領域を形成し、第2導電型エピタキシャル層を形成した後、素子形成領域を分離する選択酸化によるフィールド絶縁層を形成する工程と、前記素子形成領域に第1導電型半導体領域を形成する工程と、前記第1導電型半導体領域に重ならない部分と前記第1導電型半導体領域の表面の一部に重なる部分とにわたって第2導電型不純物を導入して、ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域を形成する工程と、前記第1導電型半導体領域及び前記オフセットドレイン領域に夫々第2導電型のソース領域及びドレイン領域を形成する工程と、前記ソース領域及び前記オフセットドレイン領域間の前記第1導電型半導体領域で構成されるチャンネル領域から前記オフセットドレイン領域にわたる表面にゲート絶縁膜を介してゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

11. 前記オフセットドレイン領域の前記第1導電型半導体領域に重ならない部分と前記第1導電型半導体領域の表面の一部に重なる部分を、共に第2導電型領域となるように形成することを特徴とする請求の範囲第9項記載の半導体装置の製造方法。

12. 前記オフセットドレイン領域の前記第1導電型半導体領域に重ならない部分を第2導電型領域となるように形成すると共に、前記オフセットドレイン領域の前記第1導電型半導体領域の表面の一部に重なる部分を前記第1導電型半導体領域の不純物濃度よりも低い不純物濃度を有する第1導電型領域となるように形成することを特徴とする請求の範囲第9項記載の半導体装置の製造方法。

13. 第1導電型不純物をイオン注入した後、第2導電型不純物を

イオン注入し、同時に活性化の熱処理を行って、前記第1導電型半導体領域及び前記オフセットドレイン領域を形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。

- 5 14. 前記第1導電型不純物をイオン注入した後、表面側の不純物濃度ピーク部分を打ち消すに十分なドーズ量で第2導電型不純物をイオン注入することを特徴とする請求の範囲第13項記載の半導体装置の製造方法。
- 10 15. ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第1導電型不純物をイオン注入し、ドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して、前記第1導電型半導体領域及び前記オフセットドレイン領域を形成し、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して前記第2導電型のソース領域及びドレイン領域を形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。
- 15 16. 前記第1導電型半導体領域と前記分離領域直下の第1導電型の素子分離層とを同時に形成することを特徴とする請求の範囲第9項記載の半導体装置の製造方法。
- 20 17. 前記分離領域直下の半導体表面がイオン注入時の不純物濃度ピークとなるように第1導電型不純物を導入し、前記第1導電型半導体領域と前記分離領域直下の第1導電型の素子分離層とを同時に形成することを特徴とする請求の範囲第16項記載の半導体装置の製造方法。
- 25 18. 開口端部がテーパ状に形成されたポジ型レジストマスクを介して第1導電型不純物をイオン注入し、開口端部がテーパ状に形成されたポジ型レジストマスクを介して第2導電型不純物をイオン注入し、前記第1導電型半導体領域と前記分離領域直下の第1導電型の素子分離層と前記オフセットドレイン領域

とを同時に形成することを特徴とする請求の範囲第 10 項記載の半導体装置の製造方法。

5 19. 前記第 1 導電型半導体領域を、CMOS トランジスタを構成する一方の第 2 導電型チャネル MOS トランジスタのバックゲート領域とし、前記オフセットドレイン領域を、前記 CMOS トランジスタを構成する他方の第 1 導電型チャネル MOS トランジスタのバックゲート領域と同時に形成することを特徴とする請求の範囲第 9 項記載の半導体装置の製造方法。

10 20. 前記第 1 導電型半導体領域を、CMOS トランジスタを構成する一方の第 2 導電型チャネル MOS トランジスタのバックゲート領域とし、前記オフセットドレイン領域を、前記 CMOS トランジスタを構成する他方の第 1 導電型チャネル MOS トランジスタのバックゲート領域と同時に形成することを特徴とする請求の範囲第 10 項記載の半導体装置の製造方法。

[2002年9月09日(09.09.02)国際事務局受理:出願当初の請求の範囲1及び10は補正された;出願当初の請求の範囲2-4及び11は取り下げられた。(5頁)]

1. (補正後) 第1導電型半導体領域に第2導電型のソース領域が形成され、第2導電型のドレイン領域に電氣的に接続され、該ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域が形成され、前記オフセットドレイン領域は、前記第1導電型半導体領域に重ならない部分と、前記第1導電型半導体領域の表面の一部に重なる部分とからなり、前記オフセットドレイン領域の前記第1導電型半導体領域と重ならない部分が第2導電型領域で形成され、前記オフセットドレイン領域の第1導電型半導体領域の表面の一部に重なる部分が前記第1導電型半導体領域の不純物濃度よりも低い不純物濃度の第1導電型領域で形成され、前記ソース領域及び前記オフセットドレイン領域間のチャンネル領域から前記オフセットドレイン領域の一部に跨がる表面にゲート絶縁膜を介してゲート電極が形成されて成るMOSトランジスタを有してなることを特徴とする半導体装置。

2. (削除)

3. (削除)

4. (削除)

5. 前記MOSトランジスタがCMOSトランジスタを構成する一方の第2導電型チャンネルMOSトランジスタとして形成され、前記第1導電型半導体領域が前記第2導電型チャンネルMOSトランジスタのバックゲート領域となり、前記オフセットドレイン領域が、前記CMOSトランジスタを構成する第1導電型チャンネルMOSトランジスタのバックゲート領域と同時に形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。

6. 前記MOSトランジスタを分離する分離領域の直下に、前記

第1導電型半導体領域と同時に形成された第1導電型の素子分離層を有して成ることを特徴とする請求の範囲第1項記載の半導体装置。

5 7. 前記分離領域が選択酸化によるフィールド絶縁層で形成され、前記フィールド絶縁層直下の半導体表面が不純物濃度ピークとなるイオン注入により、前記第1導電型半導体領域及び前記第1導電型の素子分離層が形成されて成ることを特徴とする請求の範囲第6項記載の半導体装置。

10 8. 前記第1導電型半導体領域の表面のチャネル領域の全域が均一な濃度で形成されて成ることを特徴とする請求の範囲第1項記載の半導体装置。

15 9. 半導体基体に素子形成領域を分離する分離領域を形成する工程と、前記素子形成領域に第1導電型半導体領域を形成する工程と、前記第1導電型半導体領域に重ならない部分と前記第1導電型半導体領域の表面の一部に重なる部分とからなり、ドレイン領域の不純物濃度よりも低い不純物濃度を有するオフセットドレイン領域を形成する工程と、前記第1導電型半導体領域及び前記オフセットドレイン領域に夫々第2導電型のソース領域及びドレイン領域を形成する工程と、前記ソース領域及び前記オフセットドレイン領域間の前記第1導電型半導体領域で構成されるチャネル領域から前記オフセットドレイン領域にわたる表面にゲート絶縁膜を介してゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

20 10. (補正後) 第1導電型半導体基板に第2導電型埋込み領域を形成し、第2導電型エピタキシャル層を形成した後、素子形成領域を分離する選択酸化によるフィールド絶縁層を形成する工程と、前記素子形成領域に第1導電型半導体領域を形成する工程と、前記第1導電型半導体領域に重ならない部分と前記第1

導電型半導体領域の表面の一部に重なる部分とにわたって第2導電型不純物を導入して、前記第1導電型半導体領域に重ならない部分がドレイン領域の不純物よりも低い不純物濃度を有する第2導電型領域となり、前記第1導電型半導体領域の表面の一部に重なる部分が前記第1導電型半導体領域の不純物濃度よりも低い不純物濃度を有する第1導電型領域となる、オフセットドレイン領域を形成する工程と、前記第1導電型半導体領域及び前記オフセットドレイン領域に夫々第2導電型のソース領域及びドレイン領域を形成する工程と、前記ソース領域及び前記オフセットドレイン領域間の前記第1導電型半導体領域で構成されるチャネル領域から前記オフセットドレイン領域にわたる表面にゲート絶縁膜を介してゲート電極を形成する工程を有することを特徴とする半導体装置の製造方法。

11. (削除)

12. 前記オフセットドレイン領域の前記第1導電型半導体領域に重ならない部分を第2導電型領域となるように形成すると共に、前記オフセットドレイン領域の前記第1導電型半導体領域の表面の一部に重なる部分を前記第1導電型半導体領域の不純物濃度よりも低い不純物濃度を有する第1導電型領域となるように形成することを特徴とする請求の範囲第9項記載の半導体装置の製造方法。

13. 第1導電型不純物をイオン注入した後、第2導電型不純物をイオン注入し、同時に活性化の熱処理を行って、前記第1導電型半導体領域及び前記オフセットドレイン領域を形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。

14. 前記第1導電型不純物をイオン注入した後、表面側の不純物濃度ピーク部分を打ち消すに十分なドーズ量で第2導電型不純

物をイオン注入することを特徴とする請求の範囲第13項記載の半導体装置の製造方法。

5 15. ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第1導電型不純物をイオン注入し、ドーズ量 $5 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して、前記第1導電型半導体領域及び前記オフセットドレイン領域を形成し、ドーズ量 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-2}$ の第2導電型不純物をイオン注入して前記第2導電型のソース領域及びドレイン領域を形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。

10 16. 前記第1導電型半導体領域と前記分離領域直下の第1導電型の素子分離層とを同時に形成することを特徴とする請求の範囲第9項記載の半導体装置の製造方法。

15 17. 前記分離領域直下の半導体表面がイオン注入時の不純物濃度ピークとなるように第1導電型不純物を導入し、前記第1導電型半導体領域と前記分離領域直下の第1導電型の素子分離層とを同時に形成することを特徴とする請求の範囲第16項記載の半導体装置の製造方法。

20 18. 開口端部がテーパ状に形成されたポジ型レジストマスクを介して第1導電型不純物をイオン注入し、開口端部がテーパ状に形成されたポジ型レジストマスクを介して第2導電型不純物をイオン注入し、前記第1導電型半導体領域と前記分離領域直下の第1導電型の素子分離層と前記オフセットドレイン領域とを同時に形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。

25 19. 前記第1導電型半導体領域を、CMOSトランジスタを構成する一方の第2導電型チャネルMOSトランジスタのバックゲート領域とし、前記オフセットドレイン領域を、前記CMOSトランジスタを構成する他方の第1導電型チャネルMOSトラ

ンジスタのバックゲート領域と同時に形成することを特徴とする請求の範囲第9項記載の半導体装置の製造方法。

20. 前記第1導電型半導体領域を、CMOSトランジスタを構成する一方の第2導電型チャンネルMOSトランジスタのバックゲート領域とし、前記オフセットドレイン領域を、前記CMOSトランジスタを構成する他方の第1導電型チャンネルMOSトランジスタのバックゲート領域と同時に形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。

10

15

20

25

条約第 19 条 (1) に基づく説明書

請求の範囲第 1 項は、本発明の要旨を一層明確にすべく補正した。

請求の範囲第 2 項は削除する。

請求の範囲第 3 項は削除する。

請求の範囲第 4 項は削除する。

請求の範囲第 5 項は変更しない。

請求の範囲第 6 項は変更しない。

請求の範囲第 7 項は変更しない。

請求の範囲第 8 項は変更しない。

請求の範囲第 9 項は変更しない。

請求の範囲第 10 項は、本発明の要旨を一層明確にすべく補正した。

請求の範囲第 11 項は削除する。

請求の範囲第 12 項は変更しない。

請求の範囲第 13 項は変更しない。

請求の範囲第 14 項は変更しない。

請求の範囲第 15 項は変更しない。

請求の範囲第 16 項は変更しない。

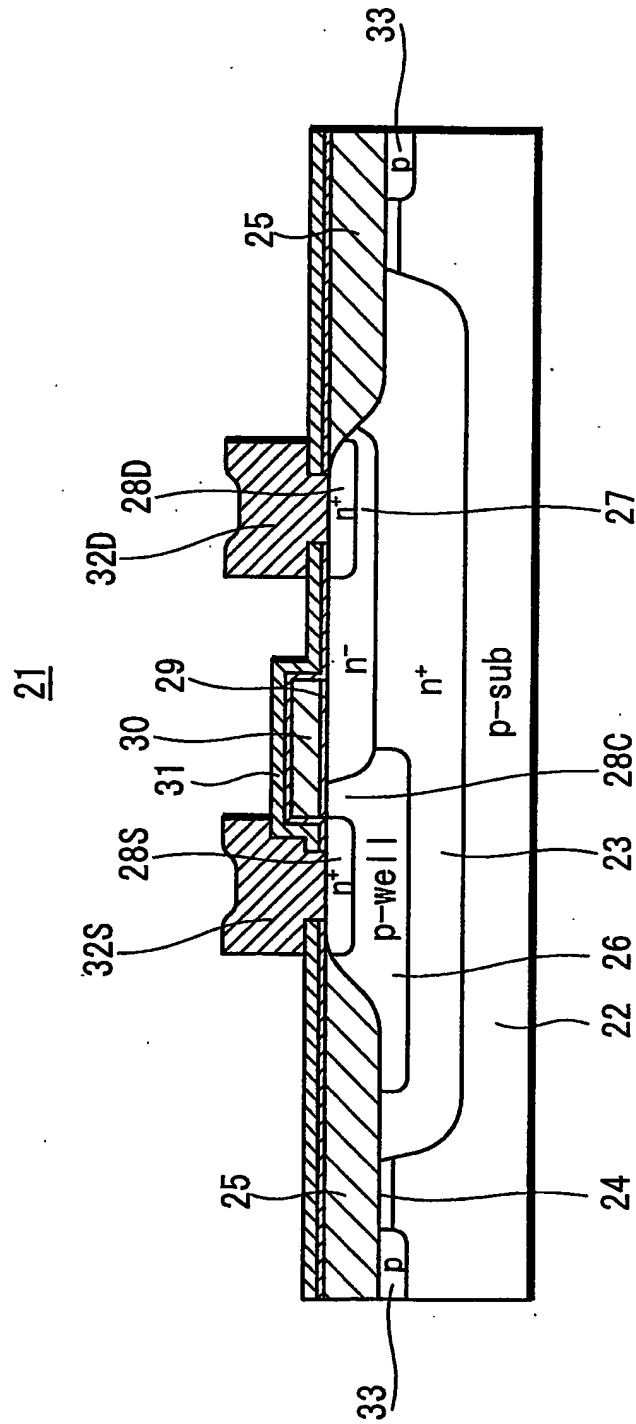
請求の範囲第 17 項は変更しない。

請求の範囲第 18 項は変更しない。

請求の範囲第 19 項は変更しない。

請求の範囲第 20 項は変更しない。

FIG. 1



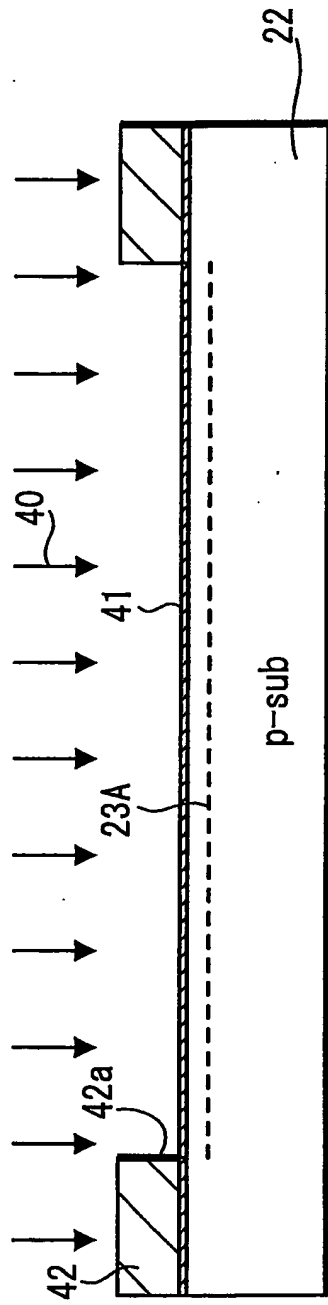


FIG. 2A

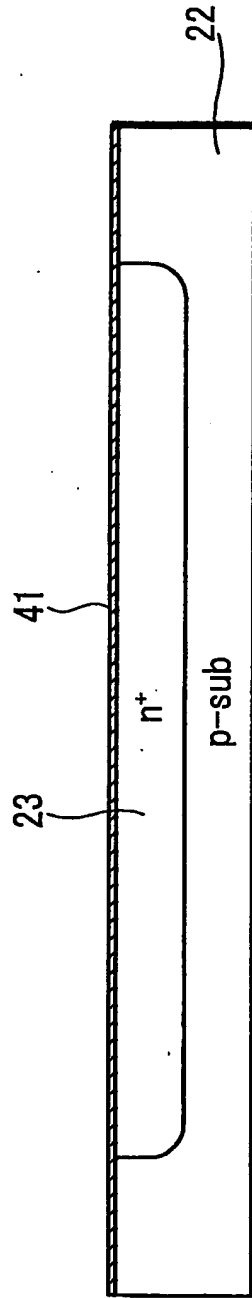


FIG. 2B

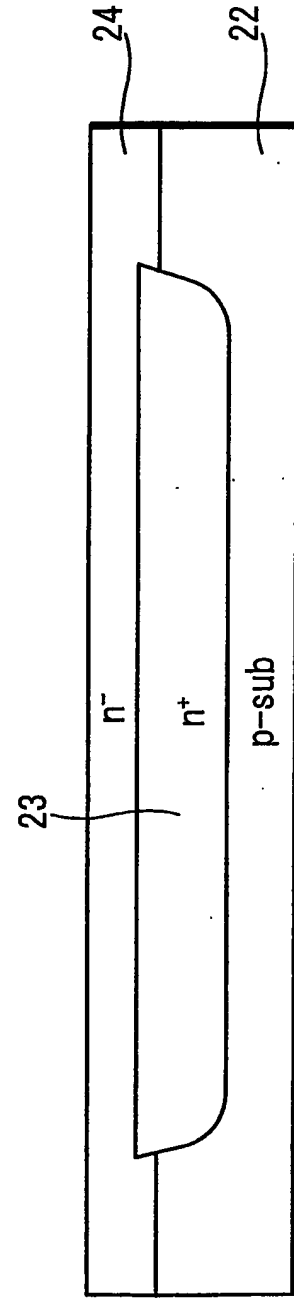


FIG. 2C

FIG. 3A

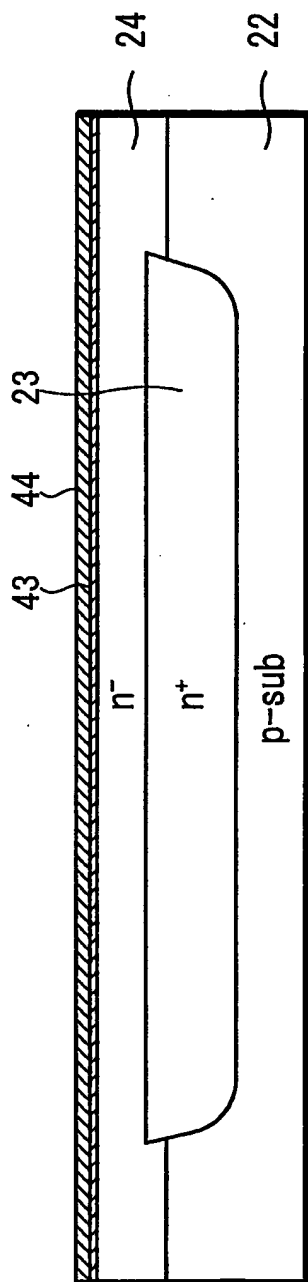


FIG. 3B

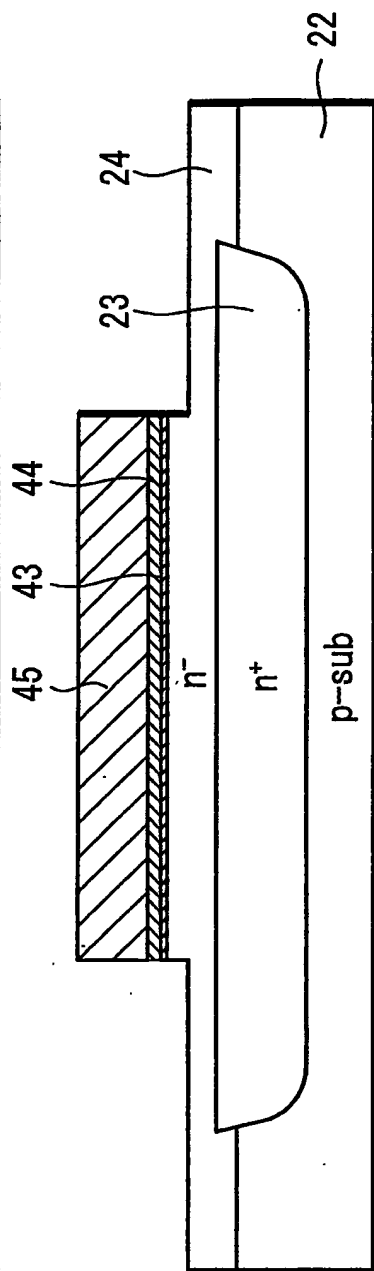
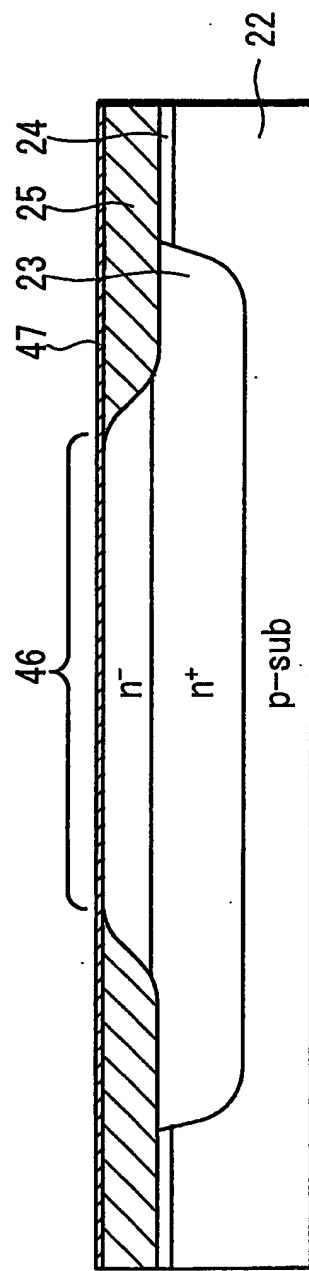


FIG. 3C



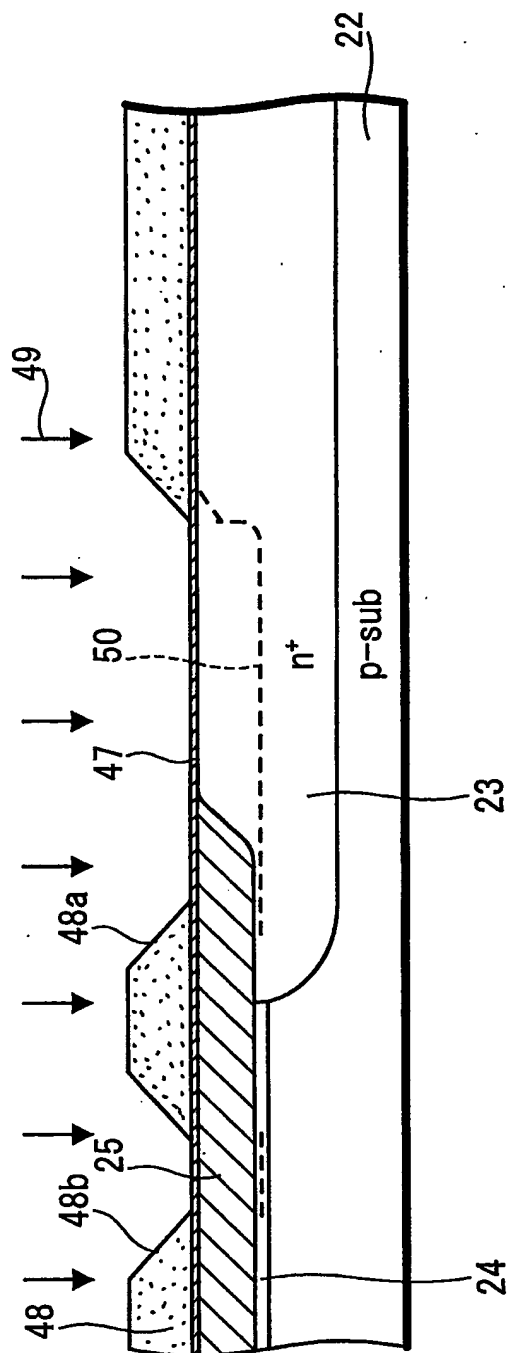


FIG. 4A

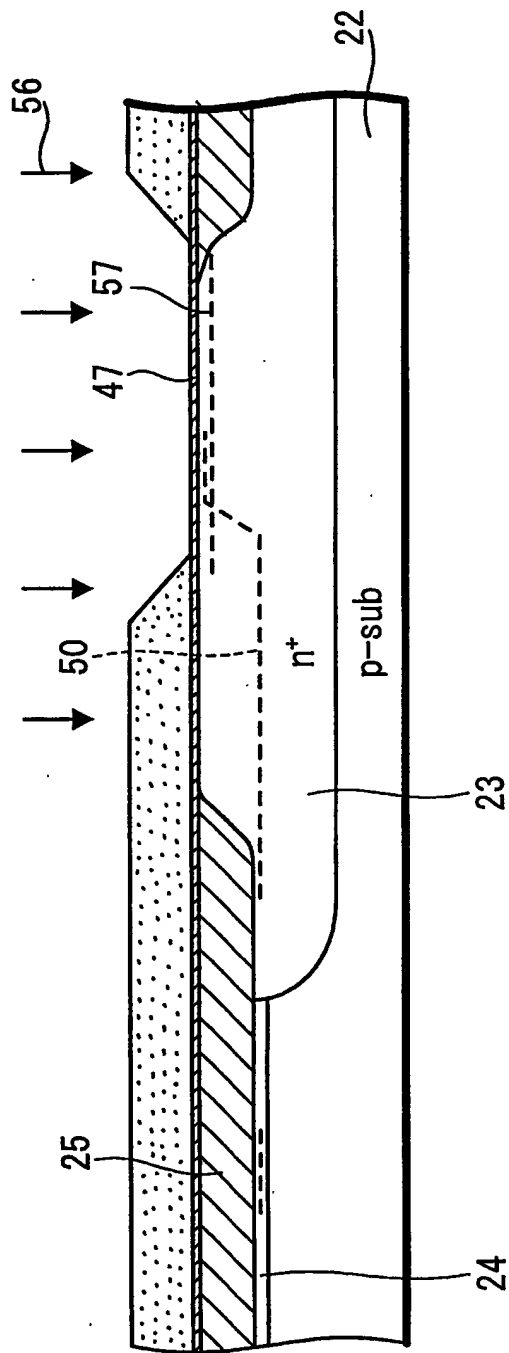


FIG. 4B

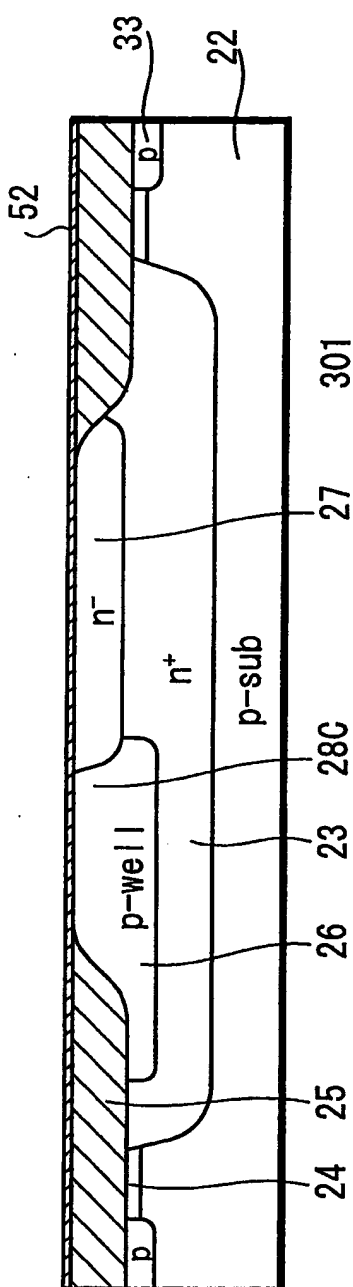


FIG. 5A

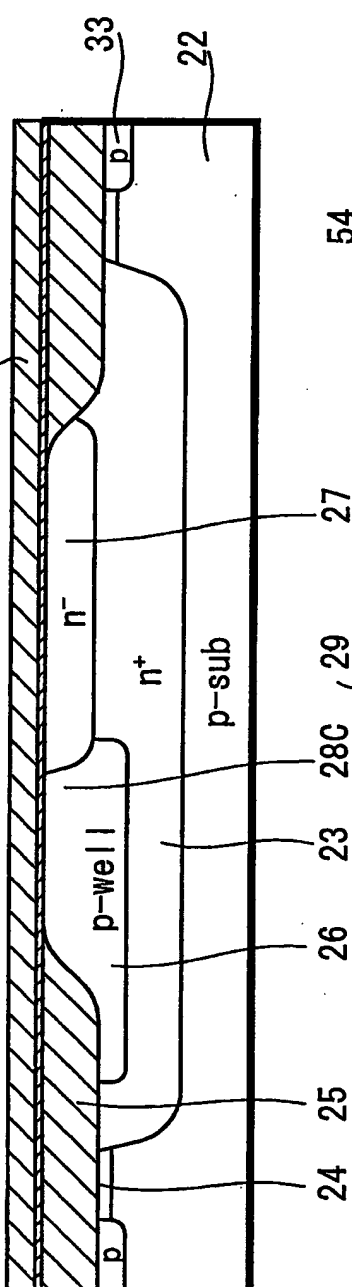


FIG. 5B

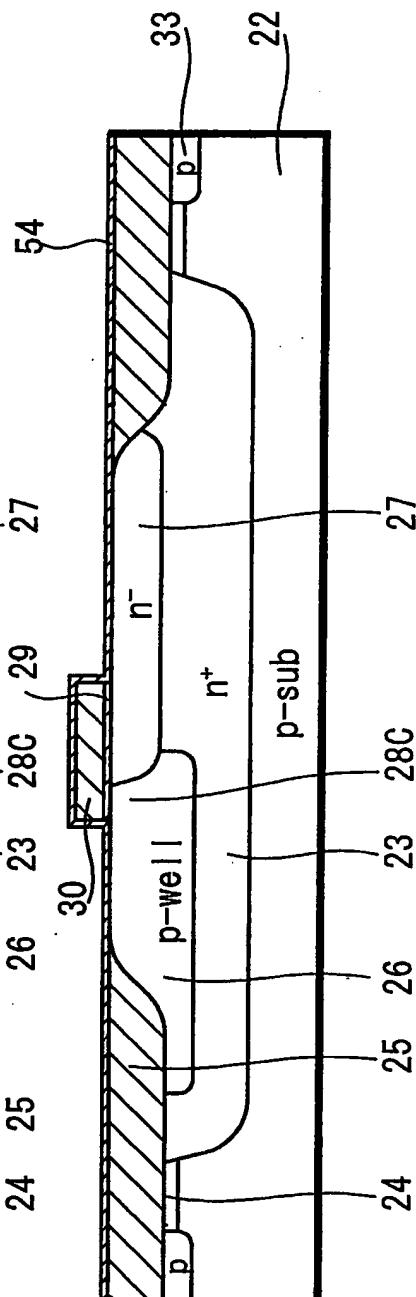


FIG. 5C

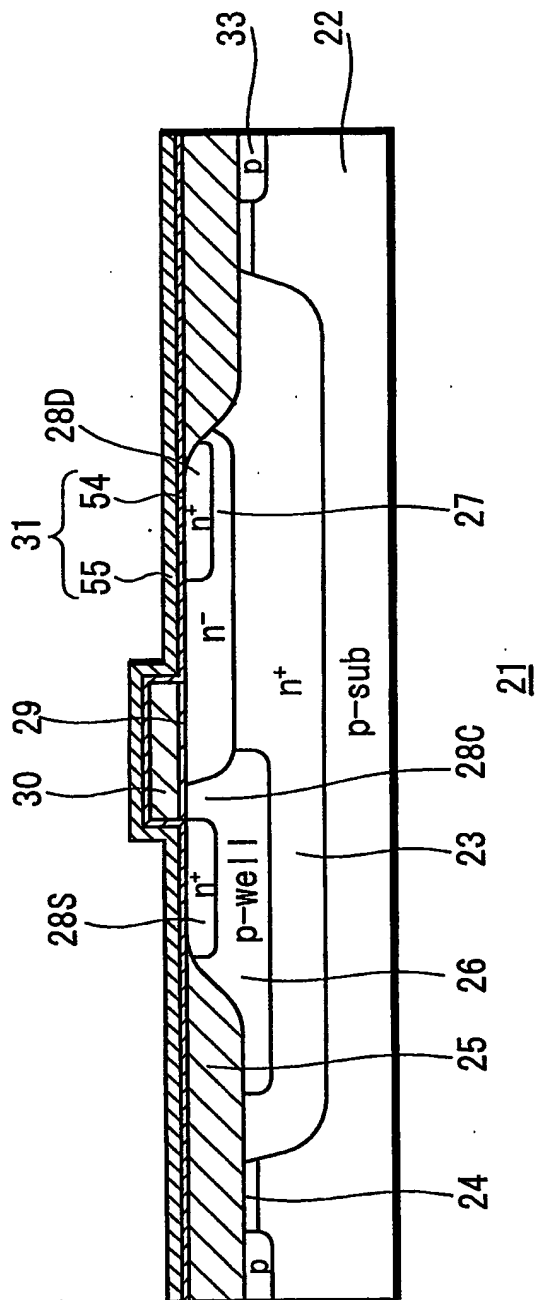


FIG. 6A

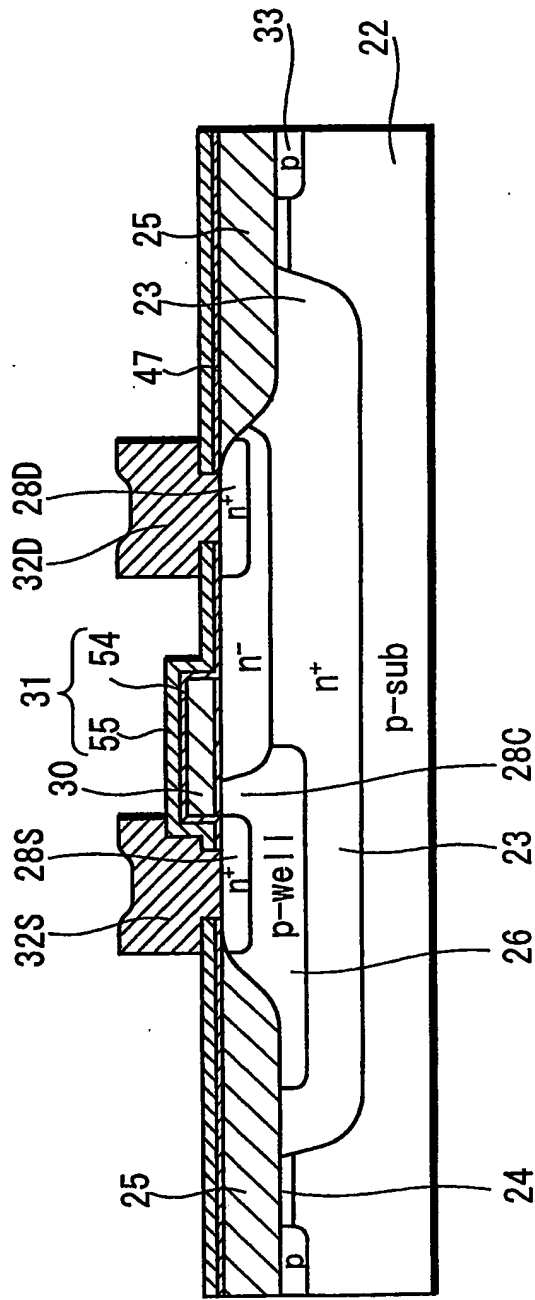
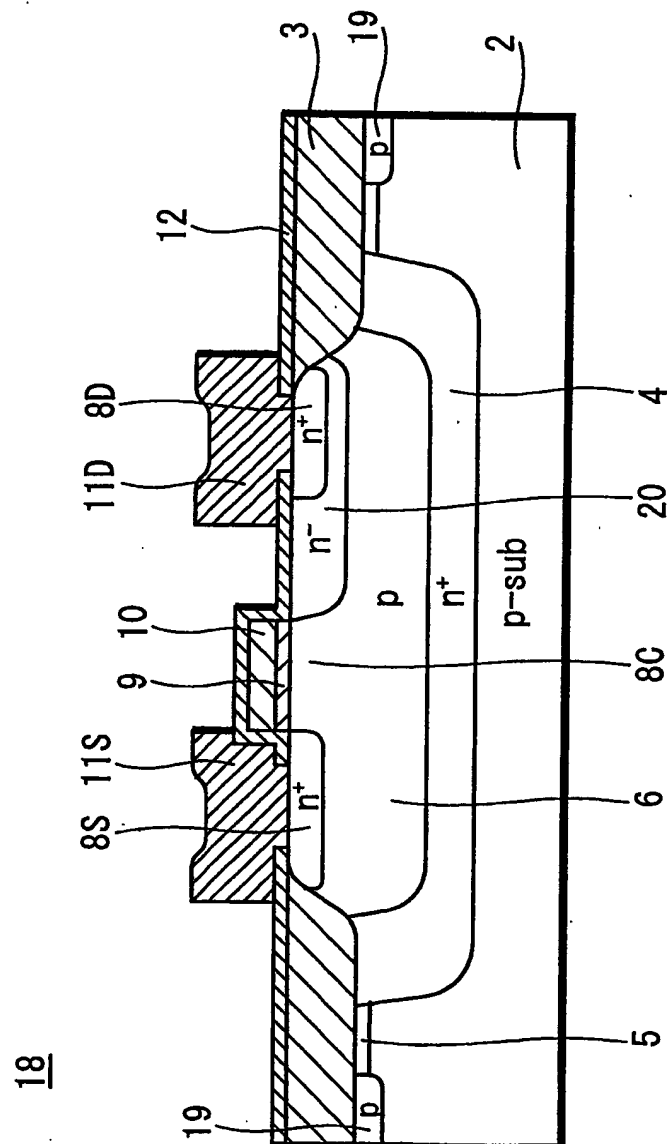


FIG. 6B

FIG. 8



引用符号の説明

- 1, 18, 21・・・高耐圧MOSトランジスタ
- 2, 22・・・第1導電型半導体基板
- 4, 23・・・第2導電型埋込み層
- 5, 24・・・第2導電型エピタキシャル層
- 3, 25・・・フィールド絶縁層
- 6, 26・・・第1導電型半導体ウェル領域
- 7, 20, 27・・・オフセットドレイン領域
- 8S, 28S・・・ソース領域
- 8D, 28D・・・ドレイン領域
- 8C, 28C・・・チャネル領域
- 9, 29・・・ゲート絶縁膜
- 10, 30・・・ゲート電極
- 301・・・ゲート電極材料膜
- 31・・・絶縁膜
- 11S, 32S・・・ソース電極
- 11D, 32D・・・ドレイン電極
- 19, 33・・・チャネルストップ層
- 40・・・n型不純物
- 41・・・熱酸化の絶縁膜
- 14, 42, 45, 51・・・フォトレジストマスク
- 43, 54・・・酸化シリコン膜
- 44・・・窒化シリコン膜
- 46・・・素子形成領域
- 47, 55・・・SiO₂膜
- 48・・・フォトレジストマスク
- 14a, 14b, 48a, 48b・・・開口
- 49・・・p型不純物

1 5 , 5 0 . . . p 型不純物濃度ピーク

5 6 . . . n 型不純物

5 7 . . . n 型不純物濃度ピーク

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05232

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1966-1996 Jitsuyo Shinan Toroku Koho 1996-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2001/0012671 A1 (Hitachi, Ltd.), 09 August, 2001 (09.08.01),	1-4, 6, 8, 9, 11, 12, 16
Y	Par. Nos. [0130] to [0273]; Figs. 1 to 50 & JP 2001-94094 A	5, 7, 10, 13- 15, 17, 19, 20
A	Par. Nos. [0031] to [0137]; Figs. 1 to 50	18
Y	US 4628341 A (Thomson CSF), 09 December, 1986 (09.12.86), Column 3, line 22 to column 8, line 44; Figs. 1 to 8 & JP 61-88553 A Page 5, upper left column, line 10 to page 10, upper right column, line 20 & EP 0179693 A1	5, 7, 10, 13- 15, 17, 19, 20
Y	JP 6-21441 A (NEC Corp.), 28 January, 1994 (28.01.94), Par. No. [0010]; Fig. 1 (Family: none)	13, 14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 June, 2002 (27.06.02)

Date of mailing of the international search report
09 July, 2002 (09.07.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05232

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0849801 A2 (NEC Corp.), 24 June, 1998 (24.06.98), Full text; Figs. 1 to 6 & JP 10-189762 A Full text; Figs. 1 to 6	5, 19, 20
X	JP 53-67373 A (Hitachi, Ltd.), 15 June, 1978 (15.06.78), Full text; Figs. 3 to 9 (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年

日本国公開実用新案公報 1971-2002年

日本国実用新案登録公報 1996-2002年

日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2001/0012671 A1 (HITACHI LTD) 200 1. 08. 09, [0130] - [0273], 第1-50図 & JP 2001-94094 A, 【0031】 - 【013 7】, 第1-50図	1-4, 6, 8, 9, 11, 12, 16
Y		5, 7,

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

27. 06. 02

国際調査報告の発送日

09.07.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英



4M

8421

電話番号 03-3581-1101 内線 3462

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 4628341 A (Thomson CSF) 1986. 12. 0 9, 第3欄第22行-第8欄第44行, 第1-8図 & JP 61-88553 A, 第5頁左上欄第10行-第10頁 右上欄第20行 & EP 0179693 A1	10, 13- 15, 17, 19, 20 18
Y		5, 7, 10, 13- 15, 17, 19, 20
Y	JP 6-21441 A (日本電気株式会社) 1994. 01. 28, 【0010】, 第1図 (ファミリーなし)	13, 14
Y	EP 0849801 A2 (NEC CORPORATION) 1998. 0 6. 24, 全文, 第1-6図 & JP 10-189762 A, 全文, 第1-6図	5, 19, 2 0
X	JP 53-67373 A (株式会社日立製作所) 1978. 0 6. 15, 全文, 第3-9図 (ファミリーなし)	1-3